

# A-SSCC 2024 Review

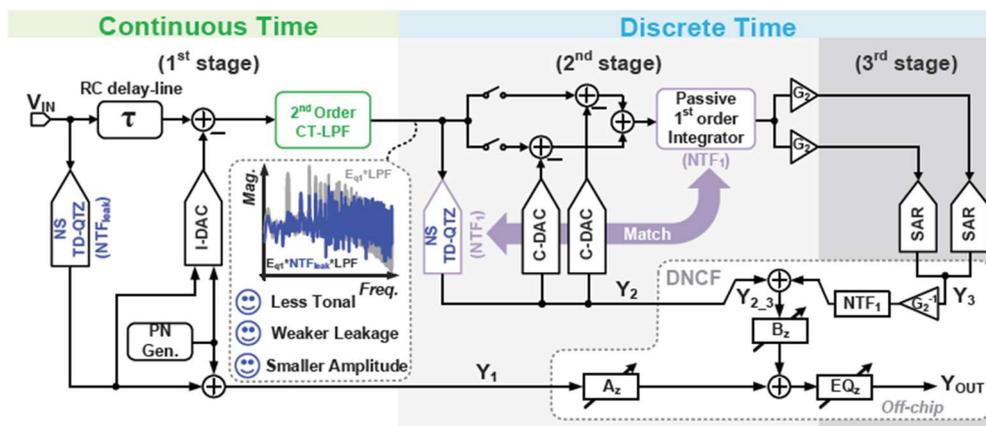
KAIST 전기및전자공학부 박사과정 윤기찬

## Session 19 Continuous-time ADCs

이번 2024 IEEE A-SSCC의 Session 19는 Continuous-time ADCs라는 주제로 총 4편의 논문이 발표되었다. 4편의 논문 모두 continuous-time 영역에서 전력 효율적으로 높은 해상도를 얻기 위해 noise-shaping technique을 적용한 논문으로, 2개의 논문은 최근 많은 연구가 진행되고 있는 TDC를 활용한 MASH 형태의 pipelined ADC였다.

**#19-1** 본 논문은 University of Macau에서 발표한 연구로, 320MHz의 대역폭을 가지는 CT/DT hybrid pipelined ADC를 제안한다. 기존에는 고속 동작 CT domain의 고해상도 ADC를 만들기 위해서 OSR이나 NTF의 차수를 높이거나, 혹은 quantizer의 해상도를 높이는 방법을 택해왔다. 하지만, 이러한 방식은 power-hungry한 loop filter나 quantizer를 필요로 함에 따라 전력 효율성이 좋지 않았다. 반면 DT domain으로 구성하면, 저전력 달성이 가능하지만 sampling 동작에 따른 aliasing 효과가 나타나게 된다. 본 논문은 이러한 두 가지 특성을 합치기 위해, 첫번째 stage는 CT로 구성하여 anti-aliasing 효과를 얻고, 뒤의 stage들을 DT domain로 구성하여 전력 효율성을 높이려고 하였다.

첫번째 stage는 NS TD-QTZ의 결과를 RC delay-line과 I-DAC을 통해 residue voltage를 생성 및, SAB를 사용하여 증폭 및 DAC image를 필터링하여 전달한다. 2번째 stage 또한 NS TD-QTZ를 사용하여 첫 stage의 residue voltage 및 NTF leakage들을 shaping해주며, 마지막 stage에선 고속동작을 위해 6b TI SAR ADC를 구현하였다. 결과적으로, 320MHz의 넓은 BW에서 65dB가 넘는 SNDR과 57.7fj/conv.-step으로 우수한 FoM<sub>W</sub>을 달성하였다.

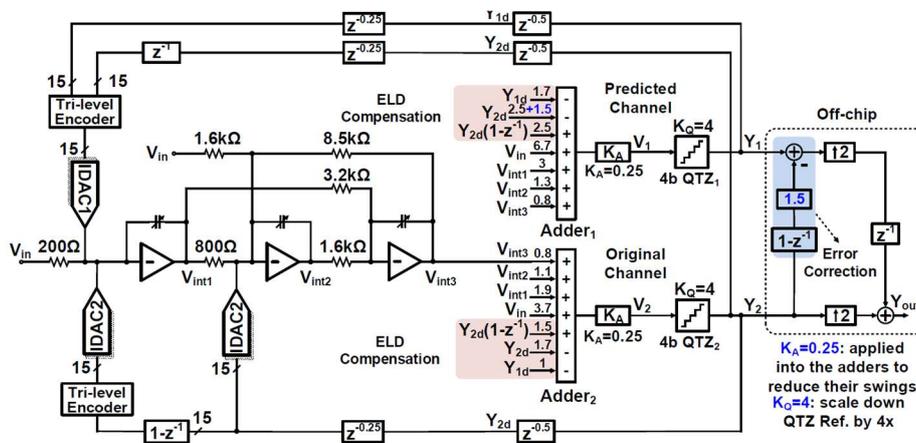


[그림 1] 제안하는 CT/DT hybrid pipelined ADC



반 feedforward를  $G_m$ -cell 및 IDAC을 통해 구현함으로써, 기존의 저항들이 가지는 loading effect를 줄였다. 또한, source degeneration technique을 활용할 때, capacitor를 parallel로 추가하여 LHP zero를 추가함에 따라 1.64배 넓은 대역폭을 가질 수 있었다. 또한 TI CT DSM에는 다양한 feedback 신호가 필요하게 되고, 이를 tri-level IDAC을 사용하여 IDAC의 unit cell 개수를 줄였다. 또한, 상보적인 신호를 생성하는 것을 reverse encoding을 통해 구현함으로써 DAC에서 발생하는 mismatch를 감소시켰다.

결과적으로, 해당 논문은 5.76GHz의 빠른 동작이 가능하였고, 180MHz 대역폭에서 68.3dB의 SNDR을 얻을 수 있었다. 그 결과, 제안한 ADC는 비슷한 동작 주파수인 수 GHz sampling speed CT DSM들 중 가장 높은 164.5dB의  $FoM_{S,DR}$ 을 달성하였다.



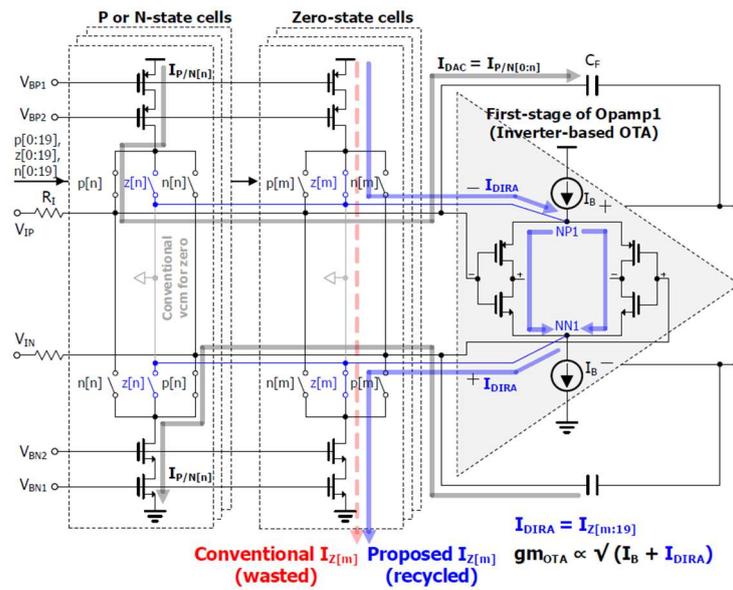
[그림 3] 제안하는 time-interleaving CT DSM 구조

**#19-4** 본 논문은 Samsung에서 발표한 연구로, 앞선 3개의 논문과는 다르게, 24kHz의 대역폭을 가지는 상대적으로 느린 주파수 대역을 사용하는 audio application을 위한 CT DSM을 제안하였다. Audio용 ADC는 wearable device 등에 많이 사용되면서, 저전력 및 높은 DR을 요구하고 있다. Low noise 특성을 달성하기 위해  $kT/C$  noise가 있는 DT ADC들 보다는 CT DSM이 주로 사용되고 있다. CT DSM에서 가장 주된 noise는 첫번째 integrator의 input-referred noise와 DAC cell의 thermal noise이며, negative-R 혹은 OTA staking 등을 통해 integrator의 noise를 줄일 수 있으나, 추가적인 noise를 발생시키거나 swing range 등이 제한될 수 있다.

본 논문에서는 tri-level current steering DAC을 사용하되, zero 상태에 있는 DAC의 전류를 낭비하지 않고 integrator의 OTA의 bias current로 재사용함으로써,  $g_m$ 을 키우고 noise를 낮추는 DIRA 방식을 제안하였다. 하지만, 이러한 동작은 signal dependent한 error를 AC ground에 발생시키고, 하모닉 성분을 발생시킨다. 이를 해결하기 위하여, quantizer의 결과와 FIR 필터를 통해서 신호의 크기를 tracking하고, 그에 따라 bias current를

adaptive하게 변화시키는 ADB 기술 또한 제안하였다. 추가적인 전력 소모가 필요함에도 불구하고, 일반적으로 오디오 신호의 크기가 작기 때문에, ADB회로가 동작하는 시간이 길지 않아 전력 소모 등에는 큰 영향을 주지 않는다고 한다.

결과적으로, 해당 회로는 작은 신호가 들어왔을 때 DR을 4.2dB 향상시켰으며, 큰 신호가 들어왔을 때 하모닉 성분을 -95.1dB까지 줄일 수 있었다. 412mW를 소모하면서 24kHz 대역폭에서 105.8dB의 높은 DR을 달성하여 180.2dB의 우수한  $FoM_{S,DR}$ 을 달성하였다.



[그림 4] 제안하는 DAC current recycling amplifier 구조

## 저자정보



### 윤기찬 박사과정 대학원생

- 소속 : KAIST
- 연구분야 : Mixed-signal IC & Sensor interface IC
- 이메일 : ygc980215@kaist.ac.kr
- 홈페이지 : <https://impact.kaist.ac.kr>

# A-SSCC 2024 Review

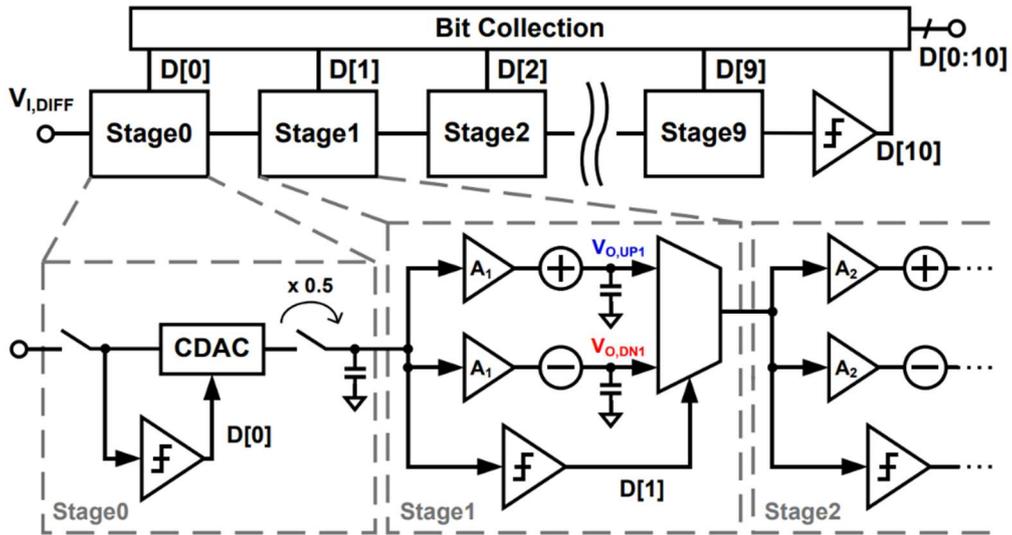
DGIST 전기전자컴퓨터공학과 박사과정 위정윤

## Session 9 High-Speed Nyquist ADCs

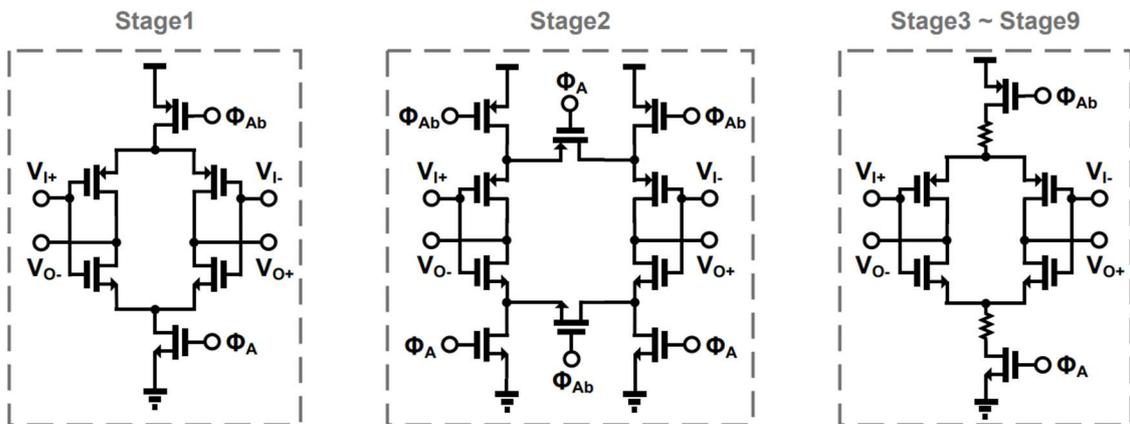
이번 2024 IEEE A-SSCC의 Session 9은 High-Speed Nyquist ADC라는 주제로 총 5편의 논문이 발표되었다. 최근 고속 어플리케이션에 적합한 ADC로써 time-interleaved ADC (TI-ADC), pipelined ADC, 그리고 두 구조의 장점을 결합한 time-interleaved pipelined ADC 기반의 ADC 구현 기술이 활발하게 연구되고 있다. 고속 ADC 구현의 핵심은 고속 입력을 빠르고 정확하게 처리하는 것에 있다. #9-2 논문에서 제시된 바와 같이, TI-ADC는 입력 신호를 여러 개의 sub-ADC로 나누어 시간적으로 분할하여 처리함으로써, 저속의 sub-ADC를 사용하여 넓은 대역폭을 구현할 수 있다는 장점이 있다. 반면, #9-1, 9-3 논문과 같이 pipelined ADC는 여러 단계의 sub-ADC를 직렬로 연결하여, 낮은 정밀도의 sub-ADC를 사용하더라도 높은 정밀도를 달성할 수 있다. 이러한 이유로, 고속과 높은 정밀도를 동시에 요구하는 어플리케이션에서는 #9-5 논문에서 제안된 time-interleaved pipelined ADC 구조가 자주 활용되고 있으며, 에너지 효율을 위해 sub-ADC로 SAR ADC 구조가 자주 채택되고 있다. 향후 연구에서도 높은 에너지 효율을 유지하면서 환경 변화에 강인한 고속 ADC를 개발하는 것이 중요한 과제가 될 것으로 보인다.

**#9-3** 본 논문에서는 amplifying-and-select stage를 제안하여 기존 pipelined ADC의 속도 한계를 개선했으며, replica-biased supply-regulation 기술을 결합한 dynamic amplifier를 사용하여 에너지 효율을 높였다. 기존 pipelined ADC는 sampling, conversion, 그리고 residue amplifying 순차대로 conversion을 수행하여 각 pipeline 단계의 긴 처리 시간이 전체 변환 속도를 제한하는 한계를 지니고 있다. 본 논문에서 제안된 amplifying-and-select stage는 가능한 residue 값을 미리 생성 및 증폭시킴으로써 pipeline ADC의 단계별 처리에 따른 병목 현상을 해소했다. 본 논문에서는 1b SAR ADC를 sub-ADC로 사용하여 두 가지 가능한 residue voltage 값을 미리 생성하고, amplifying함으로써 다음 stage의 conversion 준비 시간을 단축시켰다. 또한, 에너지 효율적인 dynamic amplifier (DA)를 사용하여 회로 복잡도 증가에 따른 전력 소모 문제를 최소화했지만, 기존 DA의 좁은 input common-mode 범위와 온도 민감성은 pipelined ADC의 안정적인 동작을 저해하는 요소로 작용할 수 있다. 본 논문에서는 replica-biased supply-regulation 기술과 더불어, 후속 stage 이후의 DA tail node에 저항 추가, 입력 sampling 동안 charge injection, clock

feedthrough에 의해 발생하는 common-mode 전압의 변화를 상쇄하기 위한 bootstrap sampling switch 등 여러가지 기술들을 사용하여 DA의 단점을 극복했다. 이런 기술들로 구현된 pipelined ADC는 3.1GS/s에서 동작 가능하며, 넓은 온도에서도 7.28b의 분해능 및 153.7dB-FoMS를 달성했다.

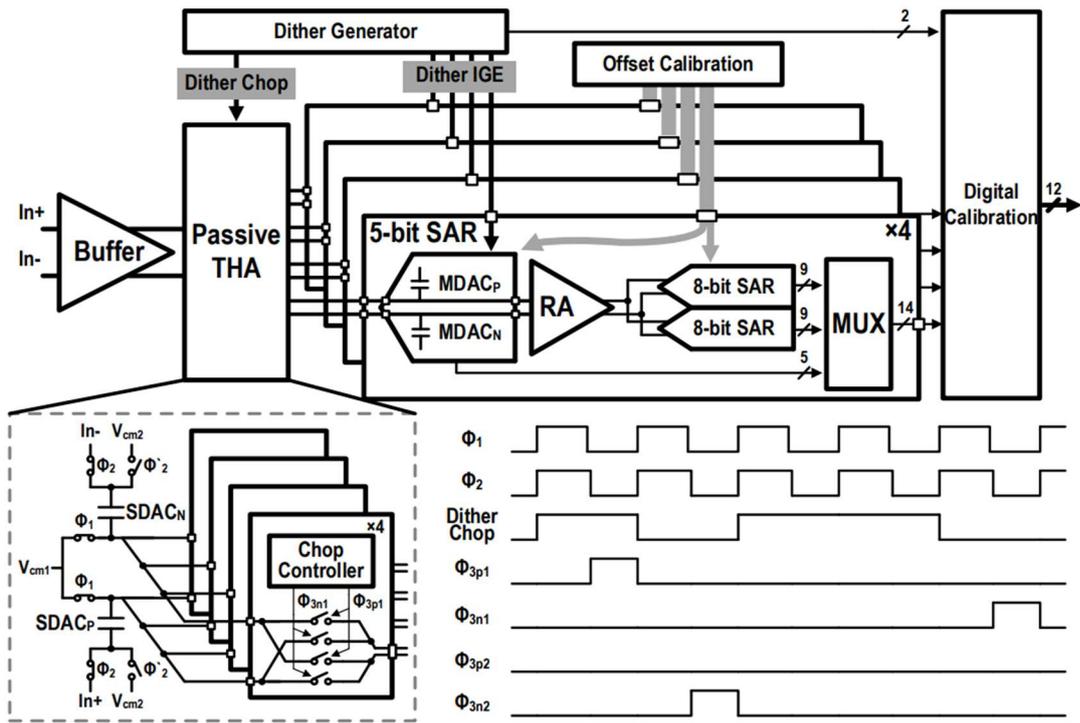


[그림 1] amplifying-and-select 기술이 적용된 제안된 pipelined ADC



[그림 2] stage에 따른 dynamic amplifier 구조

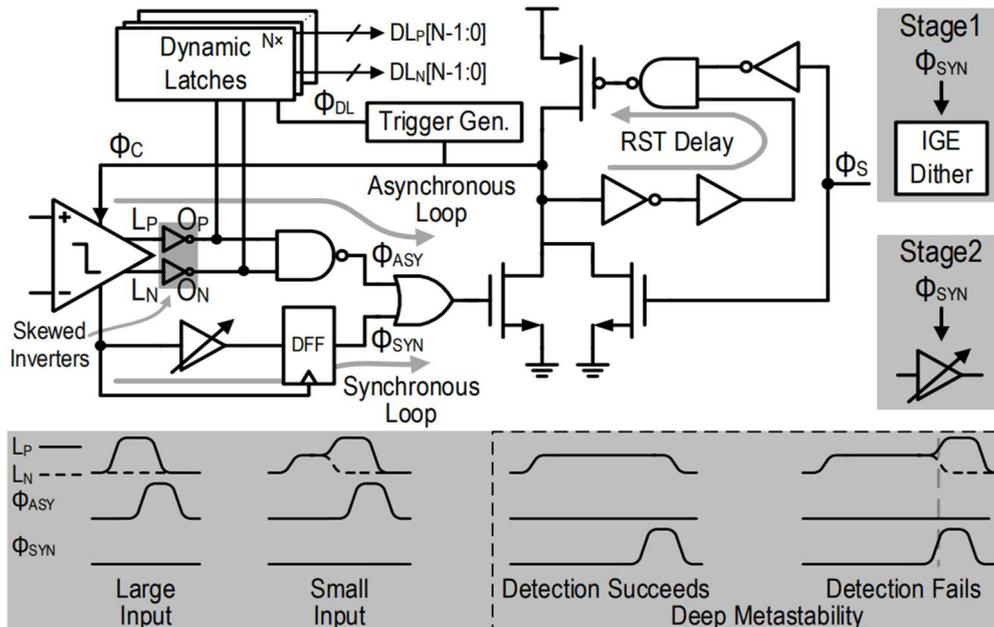
#9-5 본 논문에서는 passive track-and-hold (T/H) 회로와 input-independent calibration을 사용하여 에너지 효율적으로 skew와 각 채널 간의 대역폭 mismatch 문제를 해결하고, metastability reduction 기술을 제안하여 에너지 효율적인 SAR ADC를 sub-ADC로 사용하



[그림 3] 제안된 4-way Time-interleaved-pipelined SAR ADC

는 과정에서 발생하는 comparator metastability 문제를 해결함으로써 고속 ADC의 성능 저하를 야기하는 주요 요인들을 개선하고 제안한 시스템의 성능을 향상시켰다. 그림3는 제안된 4-way TI-pipelined SAR ADC를 보여준다. 차동 입력 신호는 입력 버퍼와 passive T/H 회로를 거쳐 샘플링 되며, 1.5GHz의 고주파 입력 신호를 처리하기 위해 3GS/s의 샘플링 속도가 필요하다. 이를 위해 4개의 채널에서 각각 750MS/s의 sampling 속도로 입력 신호를 분담하여 처리한다. 각 sub 채널은 two-stage pipelined SAR ADC로 구현되었으며, 특히 2단에서는 에너지 효율을 극대화하기 위해 2개의 sub-ADC로 추가 분할되었다. 제안된 T/H 회로는 bottom plate 샘플링 방식을 통해 signal DAC (SDAC)에 입력 신호를 샘플링한 후, dither chop 스위치를 거쳐 각 서브 채널의 multiplying DAC (MDAC)에 passive 하게 전달된다. Dither chop 스위치를 거치면서 발생하는 오프셋과 SDAC와 MDAC의 비율에 의해 결정되는 T/H의 이득 오차는 입력에 독립적인 형태로 calibration 될 수 있다. 제안된 passive T/H는 입력 신호와 무관하게 offset과 이득 오차를 보정하여 스위치의 임계 전압 변화에 둔감한 특성을 가지므로, 외부 환경 변화에 강인한 회로 구현이 가능하다. 다음으로, 그림 4은 본 논문에서 제안된 metastability reduction 기술을 보여준다. 제안된 metastability reduction 기술은 빠른 conversion을 위해 asynchronous loop을 사용하고, 동시에 metastability 발생을 검출을 위해 synchronous loop을 병렬로 구현되어 있다. comparator에서 metastability가 발생하면 병렬로 구성된 루프는 최종적으로 동기 루프에 의해 동작하게 된다. 동기 루프 종료 시점에서 LP와 LN의 값이 여전히

불안정한 상태로 유지된다면, 이를 통해 metastability 발생을 정확하게 감지할 수 있다. 본 시스템은 28nm CMOS 공정을 사용하여 0.095mm<sup>2</sup>의 면적으로 구현되었으며, Nyquist 입력에서 56.7dB의 SNDR과 75.2dB의 SFDR을 달성하였으며, 15.5fJ/conversion-step FoMW를 달성했다.



[그림 4] 제안된 metastability reduction 기술

## 저자정보



### 위정윤 박사과정 대학원생

- 소속 : DGIST 전기전자컴퓨터공학과
- 연구분야 : Analog ICs for biomedical application
- 이메일 : wiejung@dgist.ac.kr
- 홈페이지 : <http://ins.dgist.ac.kr>

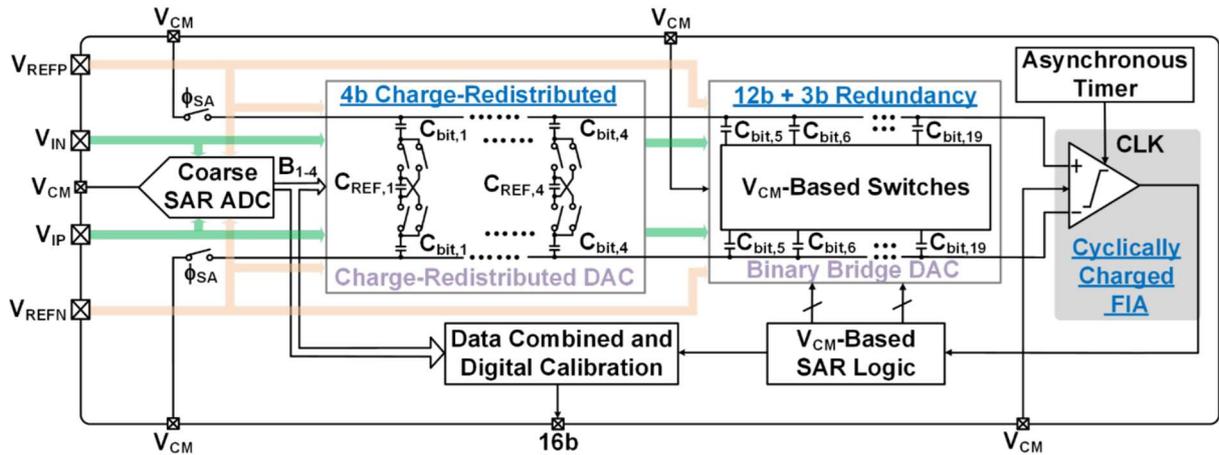
# A-SSCC 2024 Review

DGIST 전기전자컴퓨터공학과 박사과정 위정윤

## Session 23 Energy-Efficient and High-Resolution ADCs

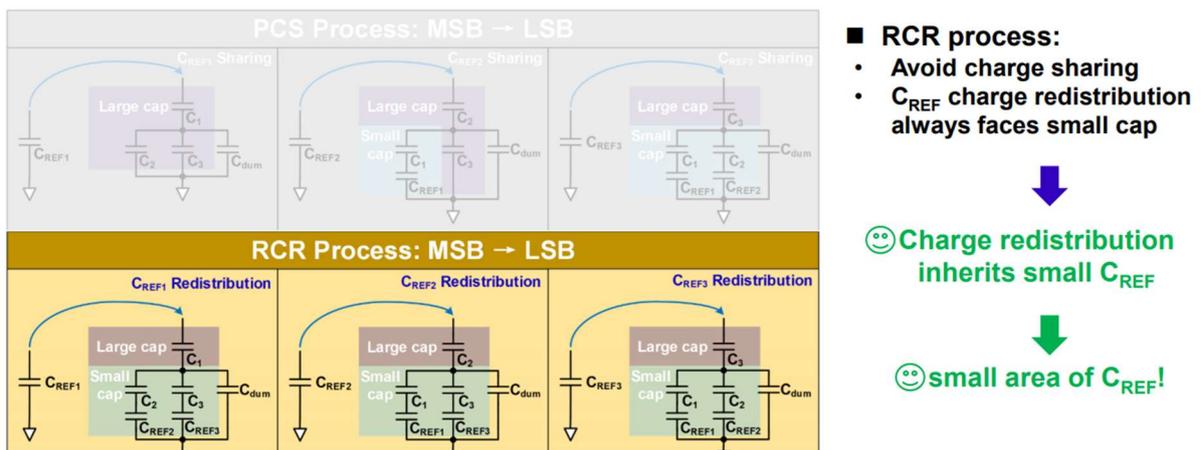
이번 2024 IEEE A-SSCC의 Session 23은 Energy-Efficient and High-Resolution ADC라는 주제로 총 4편의 논문이 발표되었다. 높은 에너지 효율을 자랑하는 SAR ADC는 최근 고분해능이 요구되는 다양한 분야에서 널리 활용되고 있다. 본 세션에서는 SAR ADC의 분해능을 높이면서 동시에 높은 에너지 효율을 유지하기 위한 다양한 방법들이 제시되었다. 첫째, 논문 #23-1에서는 SAR DAC의 비트 수를 16비트까지 높여 직접적으로 분해능을 향상시키는 방법을 제안했다. 둘째, 논문 #23-2에서는 고차 loop filter를 사용하여 quantization 노이즈를 감소시키고, oversampling ratio (OSR)을 낮춰 전력 소모를 줄이는 동시에 분해능을 높이는 방법을 제시했다. 마지막으로 논문 #23-4에서는 저전력 residue amplifier를 제안하여 고차 loop filter를 구현함으로써 분해능을 향상시키는 방법을 제안했다. 이번 세션을 통해 SAR ADC의 분해능을 향상시키기 위한 다양한 접근 방식이 제시되었으며, 이는 고성능 저전력 ADC 개발에 기여할 것으로 기대된다.

**#23-1** 본 논문에서는 reservoir-redistributed DAC (RCR DAC)를 제안하여 회로 면적을 줄이고 전력 소모를 최소화하여 고효율 ADC를 구현했다. Charge redistribution DAC은 기존 VCM-based switch DAC와는 달리, CDAC 비트와 함께 CREF의 비트를 조절하여 reference 전압을 동적으로 변화시킴으로써, 더욱 넓은 출력 범위와 높은 분해능을 달성하는 기술이다. 본 논문에서 제안된 RCR DAC는 기존 passive charge redistributed DAC(PCRDAC)의 단점인 CREF 사이즈 문제를 해결하여 회로 면적을 효과적으로 줄였다. 기존 PCRDAC는 정확한 charge redistribution을 위해 MSB 비트 capacitor보다 CREF가 항상 커야 하는 제약이 있다. 본 논문에서는 RCR DAC는 새로운 charge redistribution 방식을 제안하여 작은 CREF 사용이 가능하게 했다. 또한, 본 논문에서는 floating-inverter-based amplifier를 comparator의 pre-amplifier로 사용하여 전체 시스템의 에너지 효율을 극대화했다.



[그림 5] 제안된 초소형 저전력 16비트 SAR ADC

본 기술들을 통해 구현된 ADC는 그림 6과 같이 SAR-SAR sub-ranging 구조를 사용하여 두 단계의 conversion을 수행한다. 첫 번째 단계에서는 coarse SAR ADC를 통해 coarse conversion을 수행하고, 두 번째 단계에서는 4비트 RCR DAC와 12비트 DAC를 이용하여 fine conversion을 수행한다. 본 기술들을 통해 구현된 ADC는 저주파 입력에서 83.3dB SNDR와 103.3dB SFDR을 달성했고, Nyquist 입력에서 80.9dB SNDR와 100.3dB SFDR을 달성했다. 또한, 추가적인 calibration 없이  $\pm 5\%$  전원전압 변화에서 2.5dB 이내의 SNDR 변화와, 3.5dB 이내 SFDR 변화를 달성했으며,  $-40\sim 100^\circ\text{C}$ 의 온도 변화에서도 worst SNDR와 SFDR은 각각 79dB와 97dB 이상을 유지함으로써 전압, 온도변화에 안정적인 시스템을 구현했다.

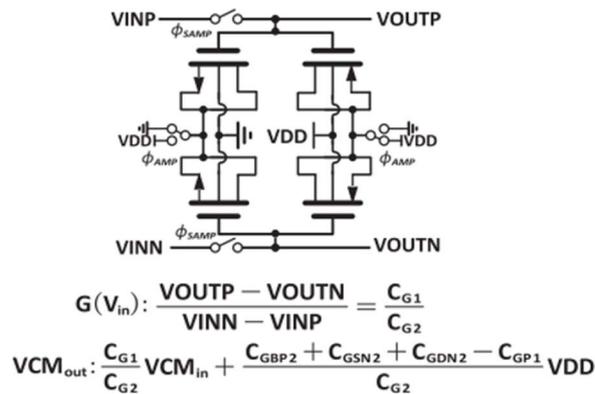


[그림 6] 제안된 reservoir-redistributed DAC (RCR DAC)

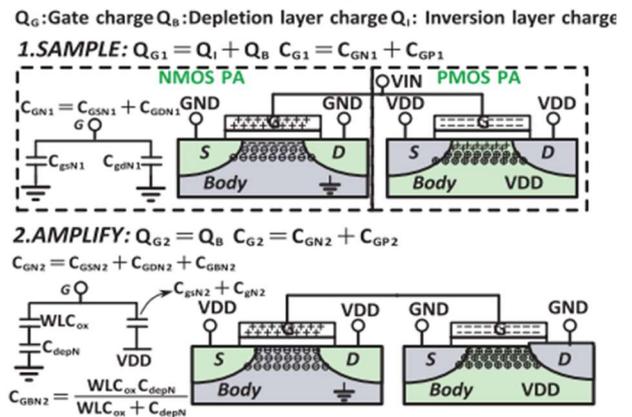
**#23-4** 본 논문에서는 complementary parametric amplifier을 제안하고, 이를 활용 및 검증하기 위해 8b EF+CIFF 토폴로지 기반의 3차 noise-shaping SAR (NS-SAR) ADC를 구현했다. 높은 에너지 효율과 정밀도를 요구하는 분야에 빈번히 사용되는 noise-shaping SAR ADC는 quantization 이후 발생하는 quantization noise를 고주파 영역으로 shaping

하는 기능을 탑재한 loop filter를 설계했다. 이를 통해 저주파 대역에서의 SNDR를 향상시켜 저전력, 고정밀도를 요구하는 어플리케이션에 적합한 ADC를 구현했다. 제안된 complementary parametric amplifier (CPA)는 gate capacitance를 사용하여 passive amplification을 수행한 다는 점에서 기존 parametric amplifier (PA)와 동일하지만, 제안된 CPA는 P, N-type 입출력 MOSFET을 동시에 사용하여 P 또는 N-type만 단일 사용한 PA보다 두배 넓은 입력범위를 갖는다는 장점이 있다. 더불어 gate capacitance에 sampling된 전하가 그대로 amplification에 사용되기 때문에,  $kT/C$  noise를 제외한 channel thermal noise current나 flicker noise과 같은 다른 noise source의 영향을 받지 않고, 전력 소모는 오로지 capacitor의 charging에 의해서만 발생하여, single-ended CPA기준  $E=2 \cdot C_{G1} \cdot \Delta V_{IN} \cdot V_{DD}$  식으로 표현되는 매우 적은 양의 에너지만 소모한다는 장점이 있다. 그림 8은 CPA 기술이 내장된 NS-SAR ADC를 보여준다. 제안된 NS SAR ADC는 EF+Cliff loop filter를 사용하여 효율적인 구조를 구현했다. 내장된 CPA는 첫 번째 residue amplifier, common-mode 보정, 두 번째 residue amplifier로 구현되어 있고, EF loop과 Cliff loop은 CPA의 첫 번째 residue amplifier를 공유함으로써 하드웨어 효율성을 높였다. CPA의 discrete한 amplifying 특성으로 인해 DAC는 두 번째 amplifier와 common-mode 조정이 작동하는 동안 첫 번째 샘플링을 동시에 수행하도록 구현되었다. 180nm CMOS 공정을 사용해  $0.241\text{mm}^2$ 의 면적으로 제작된 본 논문은 10kHz 대역폭에서 250의 OSR로 동작할 때, 1.8V 공급전압에서  $24.9\mu\text{W}$ , 아날로그 부분에서는  $8.9\mu\text{W}$ 의 전력을 소모했다.

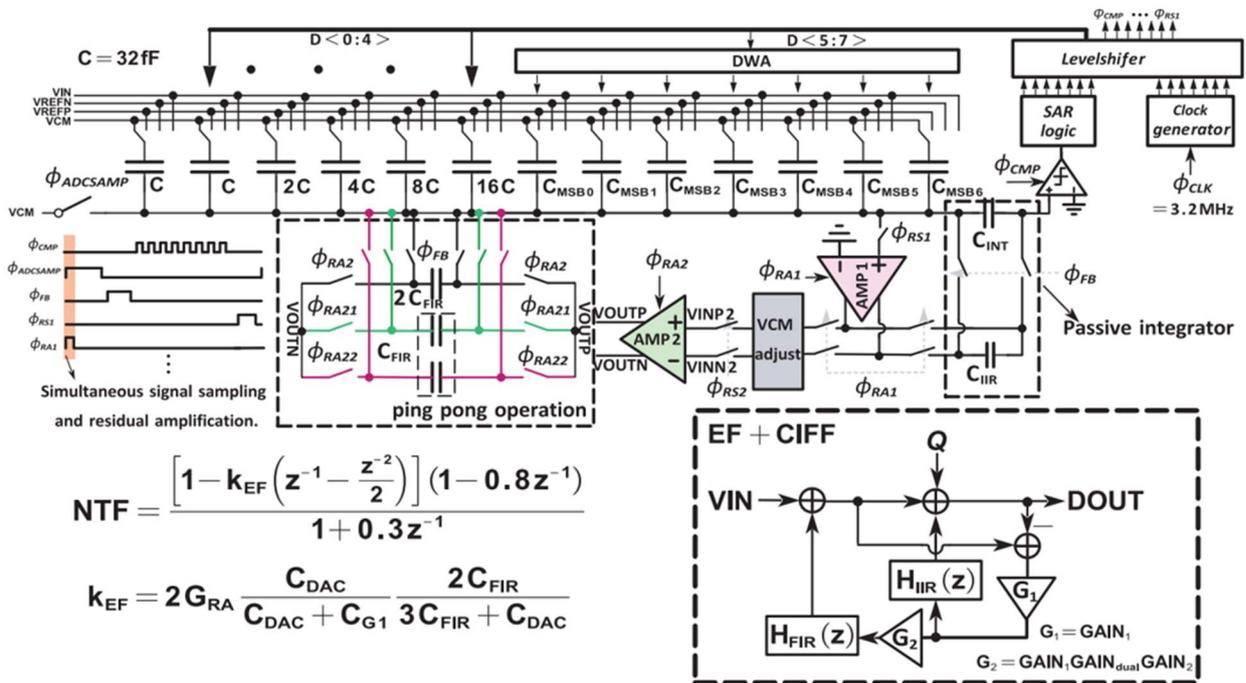
### Complimentary PA



### Single - ended CPA working process



[그림 7] 제안된 complementary parametric amplifier



[그림 8] complementary parametric amplifier 기반 3차 noise-shaping SAR ADC

Chip variation 확인을 위해 측정된 4개의 칩에서 모두 88dB 이상의 SNDR을 달성하였고, 이를 에너지 효율로 환산했을 때, 176.2dB FOM<sub>5</sub>를 달성하였다. 제안된 CPA의 효율성을 검증하기 위해 제안된 본 시스템은 높은 에너지 효율을 갖는 3차 noise-shaping SAR ADC를 구현함으로써 CPA의 안정성 및 효율성을 성공적으로 검증했다.

## 저자정보



### 위정윤 박사과정 대학원생

- 소속 : DGIST 전기전자컴퓨터공학과
- 연구분야 : Analog ICs for biomedical application
- 이메일 : wiejung@dgist.ac.kr
- 홈페이지 : <http://ins.dgist.ac.kr>